

Systèmes d'exploitation temps réel

Enseignants : S. Huet

Code : *5PMEM9S0*

Type : *Cours*

Volume horaire : 8h Cours

Module de rattachement :

S5_ O2_M9 : Architectures logicielles

Période :

S5

Crédits ECTS : 1

OBJECTIF(S) : Ce cours vise à enseigner les principes essentiels permettant de mettre en œuvre une application logicielle à l'aide d'un système d'exploitation temps réel, dans un système matériel/logiciel devant offrir des garanties temporelles d'exécution. Des exemples concrets sont étudiés dans l'enseignement " TP Intégration OS".

NIVEAU : Cours avancé en informatique

PREREQUIS: Programmation en C, Systèmes d'exploitation

CONTENU :

Le cours est orienté sur les aspects suivants :

- Approches d'implantation d'une application temps réel logicielle
- Etude des services proposés par les systèmes d'exploitation temps réel (tâches, ordonnancement, gestion des ressources partagées, communication, synchronisation, gestion du temps, ...)
- Ordonnancement temps réel
- Etude du cœur d'un système d'exploitation temps réel (Microc/OS-II)

BIBLIOGRAPHIE :

- [1] Tanenbaum, A. Systèmes d'exploitation *Pearson Education, 2008*
- [2] Trinquet, Y. Elloy J. P. Systèmes d'exploitation temps réel *Technique de l'Ingénieur, 1999*
- [3] Liu, J. W. S. W. Real-Time Systems *Prentice Hall PTR, 2000*
- [4] Labrosse, J. J. Microc/OS-II *R & D Books, 1998*

METHODE(S) & LANGUE D'ENSEIGNEMENT :

Langue : Français,

Cours magistraux : 8h encadrées

EVALUATION :

1 devoir surveillé 1h

Real Time Operating Systems

Staff involved : S. Huet

Code : 5PMEM9S0

Form of teaching :

Lectures

Amount of teaching : 8h lectures

Part of module :

S5_ O2_M9 : Software architecture

Time period : S5

ECTS Credits : 1

OBJECTIVES : This course aims at giving the basic principles allowing implementing a software application with a real time operating system on a hardware/software system which must satisfy timing properties.

CONTENT:

The course covers the following aspects:

- Real time software implantation approaches
- Real time operating systems services study (task, scheduling, shared resources management, communication, synchronization, time management,...)
- Real time scheduling
- Real time operating system kernel internals study (Microc/OS-II)

EVALUATION :

1 exam 1h

TP Intégration OS

Enseignants : S. Huet, K. Morin Allory

Code : *5PMEM9T0*

Type : *Cours et travaux pratiques*

Volume horaire : 16h TP

Module de rattachement :
S5_ O2_M9 : Architectures logicielles

Période :
S5

Crédits ECTS : 1

OBJECTIF(S) : Ces travaux pratiques donnent des exemples concrets sur les notions abordées dans le cours Systèmes d'exploitation temps réel.

NIVEAU : Cours avancé en informatique

PREREQUIS: Programmation en C, Systèmes d'exploitation

CONTENU :

Les travaux pratiques illustrent les différents points abordés dans le cours Systèmes d'exploitation temps réel:

- Etude et mise en œuvre des services d'un système d'exploitation temps réel (VxWorks + cible simulée)
- Développement d'une application temps réel pour un système embarqué (Altera NIOSII + Microc/OS-II)

BIBLIOGRAPHIE :

- [1] Tanenbaum, A. Systèmes d'exploitation *Pearson Education, 2008*
- [2] Trinquet, Y. Elloy J. P. Systèmes d'exploitation temps réel *Technique de l'Ingénieur, 1999*
- [3] Liu, J. W. S. W. Real-Time Systems *Prentice Hall PTR, 2000*
- [4] Labrosse, J. J. Microc/OS-II *R & D Books, 1998*

METHODE(S) & LANGUE D'ENSEIGNEMENT :

Langue : Français,
Travaux pratiques : 16h encadrées

EVALUATION :

1 note de travaux pratiques

Real Time Operating Systems Labs

Staff involved : S. Huet, K. Morin Allory

Code : 5PMEM9T0

Form of teaching :

Lab. sessions

Amount of teaching : 16h lab sessions

Part of module :

S5_ O2_M9 : Software architecture

Time period : S5

ECTS Credits : 1

OBJECTIVES : These labs exemplify the Real Time Operating Systems course.

CONTENT:

- Practicing real time operating systems services (VxWorks + simulated target)
- Real time embedded system application development (Altera NIOSII+ Microc/OS-II)

EVALUATION :

1 lab sessions mark

Conception robuste et faible consommation

Enseignant(s)

L. Anghel, R Leveugle (C)

M. Benabdenbi, G. Di Pendina (TP)

Code : *5PMEMXCO*

Type : *Cours, TD et TP*

Volume horaire : 28h Cours-TD, 20hTP CAO et Intégration

Module de rattachement :

S5_O2_M10

Période :

S5

Crédits ECTS 2,5 pour Cours/TD et 1,5 pour TP CAO et Intégration

CONTENU :

Le cours sera orienté sur les aspects suivants :

- Techniques faible consommation
- Techniques d'amélioration de la fabrication et de la fiabilité, DFM(Y) : problèmes et solutions
- Techniques de tolérance aux fautes on chip (codes, reconfiguration, etc)
- Techniques de DFT intégrés : Scan Path, BIST, Boundary Scan, wrappeurs SOC
- Techniques de Test et auto-réparation des mémoires

BIBLIOGRAPHIE :**METHODE(S) & LANGUE D'ENSEIGNEMENT :**

Langue : Français,

OBJECTIF(S) : ce cours vise à introduire les concepts de testabilité, robustesse et faible consommation ainsi que d'autres techniques avancées de conception VLSI

NIVEAU : cours avancé en conception VLSI

PREREQUIS : Tous les cours de conception de 2A et projet microélectronique numérique 2A, cours d'architectures SOC du S5

EVALUATION :

1 devoir surveillé 2h

1 note sur TP, contrôle continu et rapport de TP

Robust and Low Power Design

Staff involved : R. Leveugle, L. Anghel

Code : 5PMEMXC0

Form of teaching :

Lectures , Problem sessions, Lab. sessions

Amount of teaching : 28h lectures, 20h TP

Part of module :

S5_O2_M10

Time period : S5

ECTS Credits : 2,5 for Lectures/problems session and 1,5 for the TP CAO lab

OBJECTIVES: this lecture aims at introducing the required concepts of testability, robustness and low power, as well as advanced VLSI design concepts.

CONTENT:

The course will be oriented towards the following aspects:

- Low power VLSI design techniques
- DFM(Y) techniques: problems and solutions
- Fault tolerant design (ECC codes, reconfigurations, etc.)
- DFT design: Scan Path, BIST, Boundary Scan, SOC wrappers for test purposes
- Memory testing and self repair techniques

EVALUATION:

1 exam 2h

1 mark on lab exercises + report

Architectures SOC

Enseignants : D. Houzet, J.M Fournier, S. Mir, L. Rufer

Code : *5PMEMXAO*

Type : *C et TD*

Volume horaire : 36h Cours-TD

Module de rattachement :

S5_O2_M10 : Architectures Matérielles

Période :

S5

Crédits ECTS 3

OBJECTIF(S) : le cours vise à permettre aux étudiants d'assimiler les connaissances fondamentales nécessaires à la conception d'un SoC intégrant des composants hétérogènes (numérique, analogiques et RF, microsystemes, etc) en vue de leur intégration dans un produit.

NIVEAU : cours avancé en conception

PREREQUIS : Tous les Cours de conception de la 2A et projet microélectronique en numérique

Le cours sera orienté sur les aspects suivants :

Architecture des interfaces RF pour les radiocommunications numériques.

- Spécificité du signal en radiocommunications
- Performances des technologies d'intégration
- Principales architectures des interfaces RF
- Traitement mixte du signal (conversion, filtrage, modulation, démodulation)
- Exemple de calcul d'une interface de réception bi-standard

- Evolution vers la Radio Logicielle

Composants de base pour le traitement de l'information numérique

- ASIP, DSP
- Evolution des processeurs vers les systèmes multiprocesseurs et multicoeurs: architecture et programmation parallèle
- Accélérateurs graphiques (GPU), image, audio
- Périphériques (disques, mémoires flash)
- Circuits pour les opérations arithmétiques (additionneurs, multiplieurs, FFT, Cordic, division, ...)

Communication :

Architectures de communication (bus), crossbar, NOC

Protocoles de communication

Caches et cohérence des caches dans les multiprocesseurs (cas des GPU)

Mémoires :

Points mémoires, architectures des FIFO, SDRAM, multiport

MMU et contrôleurs de mémoire

Illustration sur des exemples : Processeurs de réseau, processeurs graphiques ou autre

BIBLIOGRAPHIE :

- CMOS Mixed-Signal Circuit Design.
R.Jacob Baker (Wiley-IEEE) ISBN 0-471-27256-6
- RF Systems Design of transceivers for Wireless communications.
Qizheng Gu (Springer) ISBN 0-471-27256-6

METHODE(S) & LANGUE D'ENSEIGNEMENT :

Langue : Français,

EVALUATION :

1 devoir surveillé 2h

SOC Architectures

Staff involved : D. Houzet, J.M. Fournier, S. Mir, L. Rufer

Code : 5PMEMXA0

Form of teaching :

Lectures , Problem sessions

Amount of teaching : 36h lecture and problem sessions

Part of module :

S5_O2_M10: Hardware architectures

Time period : S5

ECTS Credits : 2,5

OBJECTIVE

This course will focus on fundamentals of SOC integrating heterogeneous components, like digital, analog, RF and MEMS components.

CONTENTS :

The following aspects will be covered :

RF interface architecture for wireless communications

- The signal in wireless communications
- Technologies performances for RF system intégration
- Radio interface architectures
- Mixed signal processing
- design example for a bi-standart application
- Evolution to the Software defined Radio

basic components for digital information processing

- ASIP, DSP
- From processor to multiprocessor (architecture and programming)
- Graphic accelerators (GPU), image and audio accelerators
- Peripherals (disks and memory flash)
- Arithmetic circuits : adders, multipliers, FFT, Cordic, division

Communication architectures :

Bus Architectures, crossbar

NOC

Communication protocols

Caches and caches coherence in multiprocessors (GPU case)

Memories :

memory cells, architectures FIFO, SDRAM, multiports,
MMU and memory controllers

Examples : network processor, graphics processor or other representative design

EVALUATION : 1 exam 2h

De l'algorithme à l'architecture

Enseignant(s) : S. Mancini, L. Fesquet

Code : **5PMEMXRO**

Type : *Cours et TD*

Volume horaire : 26h Cours-TD

Module de rattachement :
S5_O2_M10

Période :
S5

Crédits ECTS 2

OBJECTIF(S) : le cours vise à permettre aux étudiants d'assimiler les connaissances fondamentales nécessaires à la conception des architectures de type SoC à partir d'un algorithme quelconque de multimédia

NIVEAU : cours avancé en conception de SOC

PREREQUIS : **Tous les** Cours de conception de la 2A et projet microélectronique en numérique 2A, module informatique 2A, cours d'architectures SOC du S5

CONTENU :

Le cours sera orienté sur les aspects suivants :

Algorithmes

- Optimisation algorithmique
- Vectorisation d'algorithmes séquentiels
- Expression directe d'algorithmes parallèles

Analyse de performances et optimisations

- Critères d'évaluation
- Optimisation sur un graphe de dépendances
- Optimisation sur un graphe flot de données/signal
- Analyse d'un flot de données
- Période optimale d'un pipeline et partage de ressources
- Analyse de timing)
- Analyse de l'énergie
- Gestion de l'énergie par OS (DVS, Frequency scaling,...)

Méthodologie de synthèse

- Mapping d'un algorithme sur un graphe de dépendance
- Mapping d'un graphe de dépendance sur un graphe flot de données/signal
- Mapping d'un graphe flot de données/signal sur du matériel (techniques de projection)

Exemples

BIBLIOGRAPHIE :

METHODE(S) & LANGUE D'ENSEIGNEMENT :

Langue : Français,

EVALUATION :

1 devoir surveillé 2h

From Algorithm to Architecture

Staff involved : S. Mancini, L. Fesquet

Code : 5PMEMXR0

Form of teaching :

Lectures , Problem sessions, Lab. sessions

Amount of teaching : 26h

Part of module :

S5_O2_M10

Time period : S5

ECTS Credits : 2

OBJECTIVES : this course aims at allowing students to assimilate fundamental knowledge of SOC design starting from an algorithm

CONTENT :

Algorithms and their optimization
Performance analysis
Synthesis methodology
Examples

EVALUATION :

Written exam 2h

TP Conception robuste

Enseignant(s)

L. Anghel, R Leveugle (C)

M. Benabdenbi, G. Di Pendina (TP)

Code : *5PMEMXTO*

Type : *Cours, TD et TP*

Volume horaire : 28h Cours-TD, 20hTP CAO et Intégration

Module de rattachement :

S5_O2_M10

Période :

S5

Crédits ECTS 2,5 pour Cours/TD et 1,5 pour TP CAO et Intégration

CONTENU :

Le cours sera orienté sur les aspects suivants :

- Techniques faible consommation
- Techniques d'amélioration de la fabrication et de la fiabilité, DFM(Y) : problèmes et solutions
- Techniques de tolérance aux fautes on chip (codes, reconfiguration, etc)
- Techniques de DFT intégrés : Scan Path, BIST, Boundary Scan, wrappeurs SOC
- Techniques de Test et auto-réparation des mémoires

BIBLIOGRAPHIE :**METHODE(S) & LANGUE D'ENSEIGNEMENT :**

Langue : Français,

OBJECTIF(S) : ce cours vise à introduire les concepts de testabilité, robustesse et faible consommation ainsi que d'autres techniques avancées de conception VLSI

NIVEAU : cours avancé en conception VLSI

PREREQUIS : Tous les cours de conception de 2A et projet microélectronique numérique 2A, cours d'architectures SOC du S5

EVALUATION :

1 devoir surveillé 2h

1 note sur TP, contrôle continu et rapport de TP

Robust Design

Staff involved : R. Leveugle, L. Anghel

Code : 5PMEMXT0

Form of teaching :

Lectures , Problem sessions, Lab. sessions

Amount of teaching : 28h lectures, 20h TP

Part of module :

S5_O2_M10

Time period : S5

ECTS Credits : 2,5 for Lectures/problems session and 1,5 for the TP CAO lab

OBJECTIVES: this lecture aims at introducing the required concepts of testability, robustness and low power, as well as advanced VLSI design concepts.

CONTENT:

The course will be oriented towards the following aspects:

- Low power VLSI design techniques
- DFM(Y) techniques: problems and solutions
- Fault tolerant design (ECC codes, reconfigurations, etc.)
- DFT design: Scan Path, BIST, Boundary Scan, SOC wrappers for test purposes
- Memory testing and self repair techniques

EVALUATION:

1 exam 2h

1 mark on lab exercises + report

Méthodologie de réalisation d'un SOC

Enseignant(s)

L. Anghel, A. Batistella

Code : *5PMEMVMO*

Type : *Cours/TD et TP*

Volume horaire : 10h Cours-TD, 28hTP

Module de rattachement :

S5_O2_M11

Période :

S5

Crédits ECTS 1,5 pour Cours/TD et 2 pour TP
SystemC

OBJECTIF(S) : le cours vise introduire les connaissances des approches actuelles de la conception et validation des architectures Matérielles/Logicielles des SoCs (Codesign, Cosimulation, RTOS pour SoC, exploration et estimation des performances, ...etc.)

NIVEAU : cours avancé en conception

PREREQUIS : Tous les cours de conception de la 2A et projet microélectronique en numérique 2A, informatique 2A, module architectures logiciel S5, cours d'architectures SOC du S5

CONTENU :

Le cours sera orienté sur les aspects suivants :

Modélisation et Spécification d'un SoC

Modèles de calcul (data-flow, Réseaux de processus, control-flow, ... , Modèles Fonctionnels, Modèle de communication (TLM), Modèles pour la synthèse matérielle illustré par SystemC

Méthodologie de conception systèmes

Partitionnement logiciel/matériel et le co-design

- Co-simulation

- Plateforme based design and IP based design techniques

- Techniques modernes de design de SOC

- Génération des adaptateurs de protocoles entre niveaux d'abstraction et de protocoles logiciel-matériel

- Problèmes d'architecture (définition d'une architecture, Conception d'architecture, synthèse sur du découpage HW/SW, conception chip-level, ..)

Analyse de Performances d'un SoCs

Conception du logiciel embarqué (HW parameters to header files, Initialization/ Boot code, Device drivers, RTOS, Application software)

Le TP a pour but de familiariser les étudiants avec des langages de programmation haut niveau (ex. SystemC, leur application à une plateforme de traitement d'images JPEG. Les aspects de modélisation fonctionnelle, TLM, RTL ainsi que la cosimulations seront abordés en 5 séances de TP

BIBLIOGRAPHIE :**METHODE(S) & LANGUE D'ENSEIGNEMENT :**

Langue : Français,

EVALUATION :

1 devoir surveillé 2h

1 note sur TP, contrôle continu et rapport de TP

SOC Design Methodology

Staff involved : L. Anghel, A. Batistella

Code : 5PMEMVM0

Form of teaching :

Lectures , Problem sessions, Lab. sessions

Amount of teaching : 14h lectures, 20h lab sessions

Part of module :

S5_O2_M11

Time period : S5

ECTS Credits : 1,5 for lectures, 2 for lab session TP SystemC

OBJECTIVES : this course introduces the new concepts of design and validation of HW/SW SOC (Codesign, Cosimulation, RTOS for SoC, exploration and performance estimation ...etc.)

CONTENT :

SOC modeling and specification

Computational models (data-flow, process network, control-flow, ... , Functional models, TLM models, synthesis models in SystemC)

Design methodology of systems

HW/SW partitioning and co design

Co-simulation Platform based design and IP based design techniques

Modern RTOS design techniques

Protocols adapters generation

Architectural issues

Performances analysis

SW embedded design

The lab work applies to an example of image processing application in SystemC
Functional modelling, TLM, and RTL as well as co simulation

EVALUATION :

1 exam 2h

1 mark on report

TP Modélisation SystemC

Enseignant(s)
L. Anghel, A. Batistella

Code : *5PMEMVTO*

Type : *Cours/TD et TP*

Volume horaire : 10h Cours-TD, 28hTP

Module de rattachement :
S5_O2_M11

Période :
S5

Crédits ECTS 1 pour Cours/TD et 2 pour TP
SystemC

OBJECTIF(S) : le cours vise introduire les connaissances des approches actuelles de la conception et validation des architectures Matérielles/Logicielles des SoCs (Codesign, Cosimulation, RTOS pour SoC, exploration et estimation des performances, ...etc.)

NIVEAU : cours avancé en conception

PREREQUIS : Tous les cours de conception de la 2A et projet microélectronique en numérique 2A, informatique 2A, module architectures logiciel S5, cours d'architectures SOC du S5

CONTENU :

Le cours sera orienté sur les aspects suivants :

Modélisation et Spécification d'un SoC

Modèles de calcul (data-flow, Réseaux de processus, control-flow, ... , Modèles Fonctionnels, Modèle de communication (TLM), Modèles pour la synthèse matérielle illustré par SystemC

Méthodologie de conception systèmes

Partitionnement logiciel/matériel et le co-design

- Co-simulation

- Plateforme based design and IP based design techniques

- Techniques modernes de design de SOC

- Génération des adaptateurs de protocoles entre niveaux d'abstraction et de protocoles logiciel-matériel

- Problèmes d'architecture (définition d'une architecture, Conception d'architecture, synthèse sur du découpage HW/SW, conception chip-level, ..)

Analyse de Performances d'un SoCs

Conception du logiciel embarqué (HW parameters to header files, Initialization/ Boot code, Device drivers, RTOS, Application software)

Le TP a pour but de familiariser les étudiants avec des langages de programmation haut niveau (ex. SystemC, leur application à une plateforme de traitement d'images JPEG. Les aspects de modélisation fonctionnelle, TLM, RTL ainsi que la cosimulations seront abordés en 5 séances de TP

BIBLIOGRAPHIE :

METHODE(S) & LANGUE D'ENSEIGNEMENT :

Langue : Français,

EVALUATION :

1 devoir surveillé 2h

1 note sur TP, contrôle continu et rapport de TP

SOC Design Methodology

Staff involved : L. Anghel, A. Batistella

Code : 5PMEMVT0

Form of teaching :

Lectures , Problem sessions, Lab. sessions

Amount of teaching : 10h lectures, 28h lab sessions

Part of module :

S5_O2_M11: Methodology and realisation of a SOC

Time period : S5

ECTS Credits : 1 for lectures, 2 for lab session TP SystemC

OBJECTIVES : this course introduces the new concepts of design and validation of HW/SW SOC (Codesign, Cosimulation, RTOS for SoC, exploration and performance estimation ...etc.)

CONTENT :

SOC modeling and specification

Computational models (data-flow, process network, control-flow, ... , Functional models, TLM models, synthesis models in SystemC)

Design methodology of systems

HW/SW partitioning and co design

Co-simulation Platform based design and IP based design techniques

Modern RTOS design techniques

Protocols adapters generation

Architectural issues

Performances analysis

SW embedded design

The lab work applies to an example of image processing application in SystemC
Functional modelling, TLM, and RTL as well as co simulation

EVALUATION :

1 exam 2h

1 mark on report

Méthodologie de validation fonctionnelle

Enseignant(s) :

K . Morin Allory, L. Fesquet

Code : *5PMEMVVO*

Type : *Cours/TD et TP*

Volume horaire : 8h Cours, 4 hTP

Module de rattachement :

S5_O2_M11

Période :

S5

Crédits ECTS : 1 pour Cours/TD et TP

CONTENU :

Le cours sera orienté sur les aspects suivants :

BDDs, Manipulation de fonctions booléennes

Equivalence Checking des circuits

Expression des propriétés logico-temporelles (PSL, SVA)

Validation par une approche assume-assert

Model Checking

BIBLIOGRAPHIE :

METHODE(S) & LANGUE D'ENSEIGNEMENT :

Langue : Français,

OBJECTIF(S) : le cours vise introduire les concepts générales de la validation fonctionnelle

NIVEAU : cours avancé en conception

PREREQUIS : Tous les cours de conception de la 2A et projet microélectronique en numérique 2A, informatique 2A

EVALUATION :

1 devoir surveillé 2h

1 note sur TP

Functional Verification

Staff involved : K. Morin, L. Fesquet

Code : 5PMEMVV0

Form of teaching :

Lectures , Problem sessions, Lab. sessions

Amount of teaching : 8h Lecture, 4h Lab sessions

Part of module :

S5_O2_M11

Time period : S5

ECTS Credits : 1

OBJECTIVES : the course aims at introducing general concepts of functional verification and validation

CONTENT :

The course contains

BDDs, boolean functions

Circuits Equivalence Checking

Logic-temporal properties (PSL, SVA)

Assume-assert validation

Model Checking

EVALUATION :

1 exam 2h

1 mark on report

Projet d'Architectures de SOC

Enseignant(s) : L. Fesquet, S. Mancini

Code : *5PMEMVPO*

Type : *Projet*

Volume horaire : 44h encadrées et 12h non encadrées

Module de rattachement :

S5_O2_M11

Période :

S5

Crédits ECTS : 4

OBJECTIF(S) L'objectif de ce projet est d'étudier l'influence respective des mécanismes systèmes, choix d'architectures et partitionnement logiciel/matériel sur les performances d'un SoC. Cette étude est faite sur un système de traitement vidéo réalisé sur une plateforme SoPC (System on Programmable SoC). Le système évoluera progressivement d'une application logicielle à un système

NIVEAU : **conception avancée en architectures**

PREREQUIS : *conception des systèmes numériques (VHDL), Programmation en C, programmation objet, systèmes d'exploitation, architectures SOC, Méthodologie de conception de SOC, conception avancé VLSI*

CONTENU :

- *Etude de l'application et prise en main des outils*
- *Evaluation de l'architecture logicielle*
- *Partitionnement logiciel/matériel, synchronisation logiciel/ matériel, évaluation de l'architecture*
- *Ajout de mécanismes systèmes, évaluation de l'architecture*
- *Installation d'un OS temps réel, modélisation de l'interface logiciel/ matériel*
- *Synchronisation de flux à cadences multiples (audio et vidéo)*

BIBLIOGRAPHIE :

- « Real time systems », H. Kopetz
- « Real time systems », J.W.S Liu
- « Embedded system design, a unified hardware/software introduction », F. Vahid, T. Givargis

METHODE(S) & LANGUE D'ENSEIGNEMENT :

Langue : Français,

EVALUATION :

1 note sur le rapport, contrôle continu, soutenance

SOC Architectures Project

Staff involved : L. Fesquet, S. Mancini

Code : 5PMEMVPO

Form of teaching :
Project

Amount of teaching : 44 h of project 12h of additional work

Part of module :
S5_O2_M11

Time period : S5

ECTS Credits : 4

OBJECTIVES : Objectives of the SoC Architecture project are to study the respective effects of system mechanisms, architecture and hardware/software partitioning on a SoC performances. A vidéo application serves as an example and will be implemented on a SoPC (System on Programmable Chip). The system will evolve from a pure software application to a hardware/software architecture controlled by a real time operating system.

CONTENTS :

- Understanding of the application and tool learning
- Evaluation of the software architecture
- Hardware/software partitioning, slave IP, software data management, hardware/software interface
- Evaluation of system mechanisms on performances
- Installation of a Real Time Operating System, and design of hardware/software interfaces.
- Synchronisation of multi-rate data flows (audio and video)

EVALUATION :

1 mark on report + oral presentation

Projet Conception de SOC

CONTENU :

Enseignant(s) : F. Petrot, A. Batistella

Code : *5PMEMVCO*

Type : *Projet*

Volume horaire : 44h encadrées et 12h non encadres

Module de rattachement :

S5_O2_M11

Période :

S5

Crédits ECTS : 3,5

Etude d'une application de traitement d'images, motion JPEG ou autre

Conception HW/SW de cette application à l'aide de langages de programmation SystemC

Partitionnement HW/SW

Co-design de l'application donnée en VHDL - System C

Mappage de l'application données sur une plateforme multiprocesseur, étude de performances

BIBLIOGRAPHIE :

METHODE(S) & LANGUE D'ENSEIGNEMENT :

Langue : Francais,

EVALUATION :

1 note sur le rapport et contrôle continu

OBJECTIF(S) : le projet vise à mettre en application les concepts vues en cours de architectures SOC, Méthodologie de conception de SOC

NIVEAU :

PREREQUIS : Programmation en C, programmation objet, systèmes d'exploitation, architectures SOC, Méthodologie de conception de SOC, conception avancé VLSI

SOC Design Project

Staff involved : F. Petrot, A. Batistella

Code : 5PMEMVC0

Form of teaching :
Project

Amount of teaching : 44h + 12h (autonomous work)

Part of module :
S5_O2_M11

Time period : S5

ECTS Credits : 3.5

OBJECTIVES : this project aims at putting in practice the application of the concepts seen in Architecture SOC design, and SOC design methodology courses.

CONTENT :

Study of an image processing application (motion JPEG or other)
HW/SW design of the application in SystemC programming language
HW/SW partitioning
VHDL - System C co design
Application mapped on a multiprocessor platform, performance study.

EVALUATION :

1 mark on report