

Domaine de recherche (cocher 4 cases maximum) :

Physique <input type="checkbox"/>	Chimie <input type="checkbox"/>	Mathématiques <input type="checkbox"/>	Sciences & Technologies des matériaux <input type="checkbox"/>
Santé <input type="checkbox"/>	Biologie <input type="checkbox"/>	Micro-systèmes <input checked="" type="checkbox"/>	Métrologie, Mesure Contrôle <input type="checkbox"/>
Mécanique <input type="checkbox"/>	Robotique <input type="checkbox"/>	Informatique <input type="checkbox"/>	Autre (préciser) : <input type="checkbox"/>
Sciences de la terre <input type="checkbox"/>	Optique, Optronique <input type="checkbox"/>	Simulation <input checked="" type="checkbox"/>	<input type="checkbox"/>
Instrumentation <input type="checkbox"/>	Micro-électronique <input checked="" type="checkbox"/>	Statistiques <input type="checkbox"/>	<input type="checkbox"/>
Electronique <input checked="" type="checkbox"/>	Informatique scientifique <input type="checkbox"/>		

Formation requise	Durée du stage	Possibilité thèse
Ecole ingénieur ou Master Recherche	6 mois (A partir de Mars/Avril 2016)	A voir

Intitulé : Conception d'un déphaseur à architecture innovante en technologie BiCMOS 55nm en bande V pour la 5G

Résumé :

Le stage consiste à la conception d'un circuit déphaseur à haute performance en technologie BiCMOS 55nm de STMicroelectronics dans la bande 57-66 GHz pour la future génération de réseau cellulaire : la 5G. Cette proposition est dédiée aux étudiants recherchant un stage au contenu technique ambitieux et désirant acquérir une expérience dans la recherche technologique en lien avec l'industrie. Le stage donne l'opportunité à l'étudiant d'acquérir une expertise sur l'ensemble de la conception de circuits intégrés. Enfin, il découvrira les différentes missions d'un chercheur tout en gardant un environnement de transfert industriel et un cadre applicatif.

Cadre du stage :

Laboratoire du CEA (Commissariat à l'Energie Atomique), le LETI (Laboratoire d'Electronique et de Technologie de l'Information) est aujourd'hui l'un des plus importants laboratoires de R&D en Europe dans le domaine de l'électronique, de la micro-électronique et plus généralement des micro-technologies. Le LETI s'est développé autour de deux activités principales : les futures technologies pour l'industrie des semi-conducteurs, et la conception de systèmes électroniques avancés. Il a pour vocation d'aider les industriels à accroître leur compétitivité à travers l'innovation technique et le transfert de son savoir-faire technologique. Son activité est consacrée à plus de 85 % à des recherches finalisées avec plus de 200 partenaires industriels et 350 contrats par an. Le LETI a suscité la création de près de 30 start-ups de haute technologie, dont Soitec, leader mondial du silicium sur isolant. Il dépose quelque 180 brevets par an et gère un portefeuille de 1 000 inventions protégées par des brevets.



Figure 1. Centre Minattec du CEA-LETI Grenoble



Figure 2. Grenoble un environnement exceptionnel



Le stage se déroulera au sein du LETI (Fig. 1&2), dans le département de conception DACLE, qui regroupe plus de 150 concepteurs, et dans le Laboratoire LAIR (DACLE/SCCI/LAIR). Le laboratoire LAIR (Laboratoire d'Architectures Intégrées Radiofréquences) développe des solutions innovantes en circuits intégrés RF et mmW pour diverses applications telles que le consumer, les télécoms, l'aéronautique, l'automobile, le suivi d'environnement, et la santé. Le candidat bénéficiera d'une intégration au sein de l'équipe où il participera pleinement à la vie du laboratoire. Il travaillera sur un cahier des charges directement extrait d'une demande d'un de nos partenaires industriels. Il bénéficiera de tous les outils du flot de conception de circuits Intégrés mis en place ces dernières années, parmi lesquels figurent Cadence, Eldo, Spectre, ADS, Golden Gate, HFSS, Momentum, Spice. En tant que laboratoire d'accueil de stagiaires en formation (3 à 5 étudiants par an), le LAIR intègre pleinement ses étudiants dans les différentes activités d'un laboratoire de recherche, et notamment la production d'articles scientifiques : sur les deux dernières campagnes de stage du laboratoire, 70% des étudiants sont co-auteurs de publications.

Contexte :

Pour faire face à la complexité croissante des systèmes de télécommunications sans fil, de récents travaux visent à développer des systèmes RF et millimétriques plus performants et agiles afin de répondre aux attentes de la future génération de réseau cellulaire : la 5G. Dans ce contexte, les déphaseurs représentent des circuits clés au niveau du Front-End-Module pour plusieurs raisons. D'une part, ils permettent la reconfigurabilité des réseaux d'antennes (Fig. 3). D'autre part, ils concentrent et définissent les performances de ces réseaux (notamment en terme de gain global). En particulier, dans la bande V visée (autour de 60 GHz), le déphaseur souhaité devra présenter une amplitude de sortie stable (une erreur d'amplitude maximum de 0.5 dB pour les différents états de phase), une bonne linéarité (ICP1dB = + 5dBm) et une erreur de phase contenu (10%), afin de répondre aux contraintes de « beamforming » de la future norme 5G.

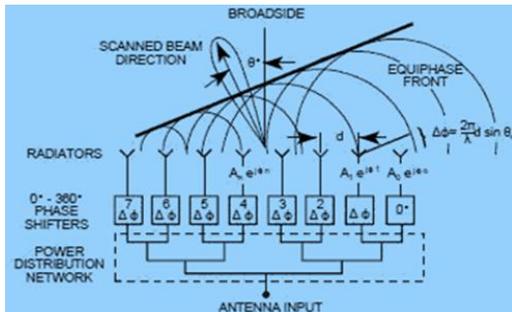


Figure 3. Réseau d'antenne

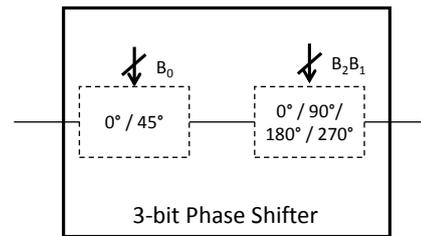


Figure 4. Déphaseur 360° 3 bits

Travail demandé :

L'objectif du stage est de réaliser un circuit déphaseur à architecture en rupture (Fig. 4) en technologie BiCMOS 55nm à faibles pertes, dans la bande 57-66 GHz, couvrant 360° avec une résolution minimum de 3 bits (8 états de phase).

Le travail se décomposera en plusieurs étapes couvrant les compétences demandées à un ingénieur:

- Dans un premier temps, à partir des travaux du LETI, et en s'appuyant sur une analyse fine de l'état de l'art actuel, le stagiaire investiguera une nouvelle architecture passive de déphaseur à base de filtres et la confrontera à d'autres architectures telles que celles à lignes commutées^[1] et celles à base de « vector modulator »^[2]. Le choix de l'architecture sera l'objectif final de cette première étape.
- Dans un second temps, à l'aide des outils du DK B55 de STMicroelectronics et de la bibliothèque de composants millimétriques établie par le LETI, il concevra le circuit déphaseur proprement dit (du schéma électrique jusqu'au layout).
- Une étude de comparaison de ces performances avec l'état de l'art actuel des autres architectures intégrées clôturera l'objet du stage.

Profil souhaité

Cette proposition est dédiée aux étudiants recherchant un stage au contenu technique ambitieux et désirant acquérir une expérience dans la recherche technologique en lien avec l'industrie. Ce stage peut aussi offrir des opportunités aux étudiants désirant poursuivre en doctorat.

L'étudiant devra présenter un niveau équivalent de dernière année d'école d'ingénieur (ou master 2) avec de préférence une spécialité en conception analogique et/ou RF. La connaissance de la microélectronique aidera le stagiaire à la réussite des objectifs. Enfin, l'étudiant devra présenter une bonne capacité de travail personnel, une habilité de travailler en équipe et une motivation pour les challenges techniques.

Unité d'accueil

Direction/Département/Service/Laboratoire	DRT/DACLE/SCCI/LAIR
Adresse postale	CEA/GRENOBLE 17 rue des Martyrs 38054 Grenoble CEDEX 9

Responsable technique

Prénom-Nom : Vincent PUYAL
Téléphone : 0438783006
Courriel : vincent.puyal@cea.fr

^[1] J.-W. Lee and S.-Y. Kim, "60 GHz switched-line-type phase shifter using body-floating switches in 0.13 mm CMOS technology", Electronics Letters, vol. 48, no. 7, 2012.

^[2] W. Shin and G. M. Rebeiz, "60 GHz active phase shifter using an optimized quadrature all-pass network in 45 nm CMOS", Proc. IEEE Int. Microw. Symp. Digest MTT, pp.1 -3, 2012.